

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-216752

(43)Date of publication of application : 05.08.1994

(51)Int.Cl. H03K 19/0185
 H03K 17/10
 H03K 17/687
 H03K 19/003

(21)Application number : 05-303313

(71)Applicant : SUN MICROSYST INC

(22)Date of filing : 10.11.1993

(72)Inventor : ROGERS ALAN C

(30)Priority

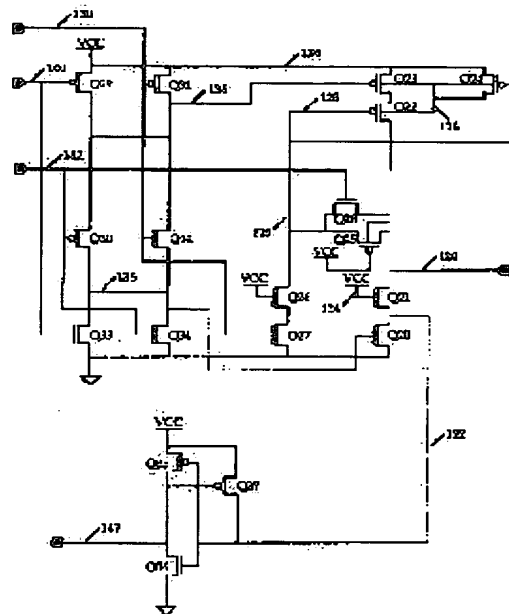
Priority number : 92 974100 Priority date : 10.11.1992 Priority country : US

(54) VOLTAGE INTERFACE CIRCUIT FOR INTEGRATED CIRCUIT, AND METHOD FOR INTERFACING INTEGRATED CIRCUIT

(57)Abstract:

PURPOSE: To interface a low voltage circuit to a high voltage environment by adopting the new n-type well bias of separate circuit and MOSTr for a voltage interface circuit in order to drive the high voltage environment in the fluctuation of low voltage.

CONSTITUTION: This voltage interface circuit for interfacing an integrated circuit, which is operated by a VCC power supply voltage, to the higher voltage environment can drive the higher voltage circuit or bus recognizing the fluctuation of VCC voltage through the integrated circuit. The voltage interface circuit is composed of a three-state control part, output pull-up part, output pull-up control part and input part and the output pull-up part is composed of pchTrQ23 and pchTrQ24. The n-type well of TrQ22 is floated. When an n-type well 126 is to be connected to the VCC, with the increase of voltage at an output node 120 toward 5 V, a current increasing p-n junction between the drain of TrQ22 and the n-type well is let flow, the voltage at an n-type well 126 is increased higher than Vcc and the junction disconnection of Q22-Q24 keeps a functional state.

**LEGAL STATUS**

[Date of request for examination] 10.11.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3440454

[Date of registration] 20.06.2003

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

P-2288

(19)日本国特許庁 (J P) (12) 公開特許公報 (A) (11)特許公開公報番号
特開平6-216752
(43)公開日 平成6年(1994)8月5日

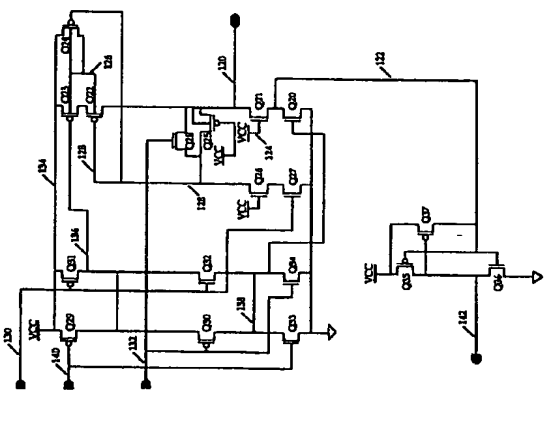
(61)Int.Cl. ⁴	H 03 K 19/0185	機別記号	庁内整理番号	F I	技術表示箇所
	17/10		9184-5J		
	17/687		8941-5J	H 03 K 19/00	1 01 B
			7436-5J	17/687	F
審査請求 未請求 請求項の数 3 F D (全 9 頁) 最終頁に続く					
(21)出願番号	特願平5-303313	(71)出願人	591064003		
(22)出願日	平成5年(1993)11月10日	サン・マイクロシステムズ・インコーポレーテッド			
(31)優先権主張番号	9 7 4, 1 0 0	SUN MICROSYSTEMS, INCORPORATED			
(32)優先日	1992年11月10日	アメリカ合衆国 94043 カリフォルニア州・マウンテンビュー・ガルシア アヴェニュー・2550			
(33)優先権主張国	米国 (U S)	アラバマ・ロジャーズ			
		アメリカ合衆国 94303 カリフォルニア州・パロアルト・ロマーザ・ブールバード・983			
		(74)代理人 弁理士 山川 政樹			

(54)【発明の名称】 集積回路用電圧インタフェース回路および集積回路をインタフェースする方法

(57)【要約】

【目的】 低電圧トランジスタのみを含んでいる低電圧集積回路を高電圧環境へインタフェースするための電圧インタフェース・バッファを提供する。

【構成】 低電圧の領域において高電圧環境を駆動するトランジスタの新規なn井戸バイアスを採用する。高電圧の領域において高電圧環境を駆動するために、電圧インタフェース回路は、高電圧を供給されるバイアス・バッファ・トランジスタをバイアスするためのバイアス回路を採用する。応用の例として、電圧インタフェース・バッファは3ボルトまたは3.3ボルト集積回路チップがTTLとCMOS電圧レベルを駆動することを可能にする。更に、電圧インタフェース・バッファは2ボルト集積回路チップがTTL電圧レベルを駆動することを可能にする。



【特許請求の範囲】

【請求項1】 第1の電源電圧 (VCC) とその電圧より高い第2の電源電圧 (VCC*) とを結合され、VCC* とVCCの差にほぼ等しいバイアス信号を発生するバイアス発生器回路と、

VCC* にほぼ等しい電圧の振れを持つバッド・ノードへ結合され、バッド・ノードをVCC* 電圧の振れへ駆動し、前記バイアス信号を用いて集積回路をバッド・ノードのVCC* 電圧の振れから分離する出力回路と、

バッド・ノード上の電圧を検出し、前記バイアス信号を用いて集積回路をバッド・ノードのVCC* 電圧の振れから分離する入力回路と、

を備える、第1の電源電圧で動作する集積回路用電圧インタフェース回路。

【請求項2】 高い電圧の振れを持つバッド・ノードへ結合され、バッド・ノードを低い電圧へ駆動し、集積回路をバッド・ノードの高い電圧の振れから分離する出力フルダウン回路と、

バッド・ノードへ結合され、バッド・ノードを第1の電圧へ駆動し、集積回路をバッド・ノードの高い電圧の振れから分離する出力フルアップ回路と、

を備える、高い電圧の振れから集積回路を保護する電圧インタフェース回路。

【請求項3】 第1の電源電圧 (VCC) とその電圧より高い第2の電源電圧 (VCC*) との差にほぼ等しいバイアス信号を発生する過程と、

バッド・ノードをVCC* 電圧の振れへ駆動し、その間にバイアス信号を用いて集積回路をバッド・ノードのVCC* 電圧の振れから分離する過程と、

バッド・ノード上の電圧を検出し、その間にバイアス信号を用いて集積回路をバッド・ノードのVCC* 電圧の振れから分離する過程と、

を備える、第1の電源電圧 (VCC) で動作する集積回路をインタフェースする方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は集積回路の分野に関するものである。更に詳しくいえば、本発明は集積回路をバスおよびより高い電圧範囲を持つ回路・インタフェースすることに関するものである。

【0002】

【従来の技術】 集積回路のトランジスタ密度および速度を高くするために、回路設計者は集積回路上に製造されるトランジスタの物理的寸法を小さくしている。トランジスタ密度を高くすると、集積回路の機能をより高くすることが可能になる。しかし、集積回路のトランジスタの物理的寸法を小さくすると、集積回路の電源電圧もそれに対応して低くなる。たとえば、より新しい世代の高密度集積回路に含まれている金属酸化膜半導体 (MOS) トランジスタのチャネル長は、古い世代の高密度集積回路のMOSトランジスタのチャネル長より短く製造される。しかし、新しい世代のより深いゲート酸化層は、厚いゲート酸化層を持つ従来の世代の高い電圧レベルに耐えることができない。

【0003】 その結果、新しい世代のMOS集積回路は以前の世代のものより低い電源電圧で動作する。たとえば、新しい世代のMOS集積回路の多くは、以前の世代において共通の5Vではなくて3.3Vの電源電圧で動作する。しかし、多くの用途においては、低い電源電圧で動作する集積回路はより高い電圧で動作する装置およびバスとインタフェースせねばならない。低電圧集積回路が高電圧環境へ結合されるものとすると、低電圧MOSトランジスタの薄いゲート酸化層が徐々に劣化する。そうすると集積回路の信頼性が低くなり、最終的には故障する。

【0004】 ここで、集積回路のバッドのための典型的な従来の三状態入力/出力回路が示されている図1を参照する。出力データ信号101がトランジスタQ10、Q12のゲートへ結合される。出力可能化バー信号 (OE) (信号104) がトランジスタQ11、Q15のゲートへ結合される。出力可能化 (OE) 信号105がトランジスタQ13、Q14のゲートへ結合される。出力可能化バー信号106がトランジスタQ17を有する。トランジスタQ16のn井戸106が電源電圧VCCへ結合される。入力回路はフルアップトランジスタQ18とフルダウントランジスタQ19で構成される。

【0005】 従来の回路が正しく動作するためには、電源電圧VCCは出力バッド102における電圧より高いか、それに等しくなければならず、出力バッド102における電圧は共通ノード107における電圧より高いか、それに等しくなければならず、VCC電源電圧より高い電圧の振れを有するバスその他の装置へ出力バッド102が結合されるものとすると、従来の回路に含まれているトランジスタのゲート酸化層は劣化しやすくなる。フルアップトランジスタQ18とフルダウントランジスタQ19は故障しやすくなる。また、トランジスタQ16のドレインから、トランジスタQ16のn井戸まで、およびVCC電源電圧ノード100まで導通路が存在する。

【0006】 低電圧集積回路を高電圧環境へインタフェースする従来の1つの技術は、低電圧環境と高電圧環境の間のバス・バッファとしてインタフェース・チップを使用することである。しかし、そのようなインタフェース・チップは低電圧集積回路との間の信号のやり取りを大きく

遅延させる。さらに、そのようなインタフェース・チップは余分のシステム盤スペースを必要とし、システムのコストを増大する。

【0007】低電圧集積回路を高電圧環境へインタフェースする従来の別の技術は、低電圧集積回路に高電圧トランジスタを直接接続することである。高電圧トランジスタは高電圧環境、直接インタフェーススタを、しかも集積回路に含められている低電圧トランジスタを保護する。しかし、そのような解決技術は、より大きい高電圧トランジスタを製造するために集積回路の製造中に余分の処理工程を必要とする、余分の処理工程は製造コストを増大し、製造歩留まりを低下させるために集積回路チップへより高い電圧を供給せねばならない。

18001

【発明が解決しようとする課題】本発明は低電圧集積回路を高電圧環境へインタフェースし、しかも集積回路自体としては低電圧トランジスタのみとすることができる。

[000]

【課題を解決するための手段】本発明は低電圧トランジスタのみなを告んでいる低電圧集積回路を高電圧環境へ移植するものである。一実施例においては、電圧インタフェース回路を有するバッド・ノードと結合せしめられ、出力回路はバッド・ノードを駆動し、集積回路をバッド・ノードの高い電圧の振れから分離する。出力回路は出力カプルアップ回路はバッド・ノードを低電圧へ駆動し、集積回路をバッド・ノードの高い電圧の振れから分離する。出力カプルアップ回路はバッド・ノードの低い電圧の振れから分離する。出力カプルアップ回路のVCC電源電圧レベルへ駆動し、集積回路をバッド・ノードの低い電圧の振れから分離する。出力カプルアップ回路のMOSトランジスタは接合分極を維持するため、新規なn₊井戸バイアスを有する。

[0010] 入力回路はバッド・ノードにおける電圧を出力し、集積回路をバッド・ノードの高い電圧の領域から分離する。入力回路は出力フルアンプ回路の保護され分ける。入力回路はバッド・ノード電圧を抽出する。入力回路は出力フルアンプ回路の保護され分ける。入力回路は出力フルアンプ回路の保護され分ける。入力回路は出力フルアンプ回路の保護され分ける。

【0011】バイアス発生器回路は電源電圧VCCとVC*を検出し、VCCとVC*の間の差にほぼ等しいバイアス信号を発生する。バイアス信号は、高い電圧

の出力を示す。出力データ・ノード140はトランジスタQ29とQ33のゲートに結合される。出力データと出力データ・ノード140が高いと、トランジスタQ33はノード136を、駆動モードにあるトランジスタQ30とQ32を介して低く引き下げる。ノード136における低電圧は出力フルアップトランジスタQ23をターンオンする。出力データと出力データ・ノード140が低いと、トランジスタQ29はノード138を、駆動モードにあるトランジスタQ30とQ32を介して高く引き上げる。ノード138における高電圧は出力フルダウントランジスタQ20をターンオンする。

【0016】出力プルダウン部はnチャネルプルダウントランジスタQ20とnチャネル・トランジスタQ21で構成される。トランジスタQ21はプルダウントランジスタQ20を過電圧から保護する。トランジスタQ21のゲートはVCC₁に接続される。トランジスタQ21のゲートがVCC₁にあるから、トランジスタQ21はノード122が約2V以上上昇することを阻止する。その結果、出力ノード120と122における最高電圧は約3Vである（ノード120が別の装置により5Vへ駆動される場合）。トランジスタQ21のゲート駆動物電圧は3.3Vにおけるノード120と124の間の最高電圧は3.3V（ノード120が5Vの時）、または1.7Vである（ノード120が0Vの時）。ノード122と124の間の最高電圧は3.3Vである。

【0017】出力アルファベットの部

スタQ22と出力フロアアップチャネル・トランジスタQ23と、pチャネル・トランジスタQ24とで構成される。トランジスタQ22のn井戸は、通常行われるV_{CC}と結合されるのではなく、浮動する。n井戸126がV_{CC}と接続されるものとする、出力ノード120における電圧が5Vへ向かって上昇するにつれて、トランジスタQ22のドレインとn井戸の間のp-n接合が大きい電流を流させる。

【0018】しかし、n井戸126はVCCへ接続されていながら、出力ノード120における電圧は5Vへ上がって上昇するにつれてn井戸126における電圧はVCCより高く上昇する。その結果、pチャネルトランジスタQ22、Q23、Q24の接合分極は増進する状態を保ち、この回路が出力ノード120において駆動している時は、トランジスタQ24はn井戸126をVCCへ向け駆動する。三状態モードにおいては、n井戸126はVCCに止まり、またはノード134とn井戸126の間のp-n接合がノード126をVCCマイナスイオード電圧降下へ駆動する。出力ノード120における電圧レベルが高くなると、n井戸126はノード120における電圧マイナスイオード電圧降下へ駆動される。

【0019】出力カプアンプ制御回路はトランジスタQ25とQ28で構成される。ノード120における電圧

が5V1になる、n井戸126における電圧は、4.5Vに遷移することになるであろう。その場合には、トランジスタQ22は状態モード中にターンオンすることがある。しかし、状態モードQ25のゲートV_{CC}へ結合されているから、出力ノード120が5Vへ上昇するにつれてpチャンネル・トランジスタQ25はターンオンし、出力ノード120の5Vレベルまで引き上げる。トランジスタQ25はノード128をターンオンし、出力ノード120の5Vレベルより、回路が三ノード128における5VレベルはトランジスタQ22の状態モードに確実に留まらなければならない。トランジスタQ28はノード120からのノード128の電圧を支援する。

【0020】一方のnチャネル・トランジスタQ26、Q27により、出力ノード120とノード128における高電圧状態の後で三状態モードが取り消された際に、トランジスタQ22は確実にターナーオンされ、三状態モードが取り消されると、信号OE130は高くなる。信号OE132は低くなる。OE130における高電圧はトランジスタQ27をターナーオンし、ノード128をターナーオンされたトランジスタQ26を通じて引き下げる。

【002】入力側はpチャネル・トランジスタQ3、5、Q37と、nチャネル・トランジスタQ36とで構成される。トランジスタQ35は、ノード122における電圧が低い時に、入力デジタノード142における電圧を引き上げる。トランジスタQ36は、ノード122における電圧が高い時に、入力デジタQ37のノード142における電圧を引き下げる。トランジスタQ23の保護のために、ノード122は限られた電圧の幅を持つ。pチャネル・トランジスタQ37はノード122へ帰還するためには結合される。トランジスタQ37はノード122の電圧の幅を低減する。

【0022】図3～図5は電圧インテグレーション回路の別の集積回路を示す。図示の回路はVCC電源電圧で動作する集積回路があり、より高いVCC*電圧の別の回路またはCPU駆動すること可能にする。この実施例においては、VCCは3.3Vにほぼ等しく、VCC*は5Vに等しい。集積回路に含まれている全てのトランジスタはVCC電源電圧で動作することによって構成されている。この回路はP_{bias}部と、3状態制御を行う出力部と、入力部とで構成される。VCC電源電圧は集積回路のVCC電源電圧ピンにより供給される。VCC*電源電圧は電圧増大回路により集積回路で発生できる。あるいは、VCC*電源電圧を集積回路のVCC*電源電圧ピンを介して供給できる。

【0023】図3はPbias部を示す。このPbias部はPbias電圧を発生する。Pbias部はnチャネル・トランジスタQ59、Q61、Q62、Q63、Q64と、pチャネル・トランジスタQ58、Q60とで構成される。

トランジスタQ58はPbiasのための電流源である。トランジスタQ59、Q60、Q62、Q64は電流源により制御される電流ミラーである。Pbiasは150の電圧は電源電圧VCCと電源電圧VCC*の差にほぼ等しい。後で詳しく説明するように、Pbiasは150は入力部と出力部に含まれているトランジスタを保護するために用いられる。

【0024】図4はトランジスタQ40～Q57で構成された出力部を示す。三状態モードはOE182とOE180により決定される。OE180はOE182の補数である。この回路が三状態モードにあると、OE182は低く、OE180は高い。出力部は集積回路のヒンのための出力データを出力データノード162に受ける。出力部は出力ノードにおける出力データを駆動する。

【0025】nチャネル・トランジスタQ56はプルダウンnチャネル・トランジスタQ57を過電圧から保護する。トランジスタQ56のゲートはノード152におけるVCCへ結合される。出力ノード172における電圧が5Vに達したとしても、トランジスタQ56はノード158が約2V以上上昇することを阻止する。その結果、出力ノード172とノード158間の最高電圧は約3Vである。出力ノード172とノード152間トランジスタQ56の最高ゲート酸化物層電圧は3.3V（出力ノード172が0Vの時）、または1.7V（出力ノード172が5Vの時）である。

【0026】同様に、pチャネル・トランジスタQ55はpチャネルプルアップトランジスタQ54を過電圧から保護する。トランジスタQ55のゲートはPbiasへ結合される。トランジスタQ55のゲートにおけるPbias電圧レベルにより、トランジスタQ54、Q55のゲート酸化物層へ加えられる電圧を3.3V以下に維持する。

【0027】トランジスタQ40～Q53は、出力データノード162におけるVCC電圧の戻れと出力データノード172におけるVCC*電圧の戻れとの間の差レベル変換器として機能する。出力データノード162における高電圧はnチャネル・トランジスタQ46、Q52をターンオンしてノード174と168を引き下げる。出力データノード162における低電圧はpチャネル・トランジスタQ46、Q47をターンオンしてノード174と168を引き上げる。ノード174における高電圧はnチャネル・トランジスタQ44をターンオンする。その結果として電流がpチャネル・トランジスタQ41とnチャネル・トランジスタQ42を流れる。そうするとノード164における電圧が引き下げられる。ノード164における低電圧はpチャネル・トランジスタQ48をターンオンさせる。

【0028】トランジスタQ40とQ54をターンオフするために、トランジスタQ40とQ48はノード16

4と170における電圧を回復させる。トランジスタQ48がターンオンすると、トランジスタQ48を流れる電流がトランジスタQ49、Q50、Q51に電流を流させる。そうすると、ノード168は高くされる。ノード168における高電圧はトランジスタQ57をターンオンして出力ノード172を引き下げる。トランジスタQ48を流れる電流はノード170も高くする。ノード170における高電圧レベルはトランジスタQ54をターンオフする。

【0029】出力データノード162が高電圧になると、トランジスタQ52はターンオンしてノード168を引き下げる。ノード168における低電圧はトランジスタQ57をターンオフする。ノード170がVCC*より低い電圧になると、トランジスタQ54はターンオンする。ノード170における低電圧はトランジスタQ40もターンオンし、トランジスタQ48をターンオフする。

【0030】図5は入力部を示す。この入力部はトランジスタQ56～Q71で構成される。入力ノード156と158から取り出される。pチャネル・トランジスタQ67、Q68と、nチャネル・トランジスタQ69、Q70は、ノード156、168におけるVCC*電圧の戻れと、ノード160におけるVCC電圧の戻れとの間のレベル変換器として機能する。nチャネル・トランジスタQ69はnチャネルプルダウントランジスタQ70を保護する。トランジスタQ69のゲートはVCCへ結合される。pチャネル・トランジスタQ68はpチャネルプルアップトランジスタQ67を保護する。トランジスタQ68のゲートはPbias150へ結合される。

【0031】ノード154における電圧が低い時は、pチャネル・トランジスタQ65は入力データノード160における電圧を引き上げる。ノード154における電圧が高い時は、トランジスタQ66は入力データノード160における電圧を引き下げる。pチャネル・トランジスタQ71はノード154へ帰還を行うために結合される。トランジスタQ71は全VCC電圧の戻れをノード154へ供給する。

【図面の簡単な説明】

【図1】集積回路のための典型的な従来の入力/出力回路と、高電圧を受けた時に破壊されやすいトランジスタを示す。

【図2】VCC電源電圧で動作する集積回路をより高い電圧環境へインタフェースするための電圧インタフェース回路の一実施例を示す。

【図3】VCC電源電圧で動作する集積回路がより高いVCC*電圧の戻れの回路またはバスを駆動できるようにする電圧インタフェース回路の一実施例を示す。

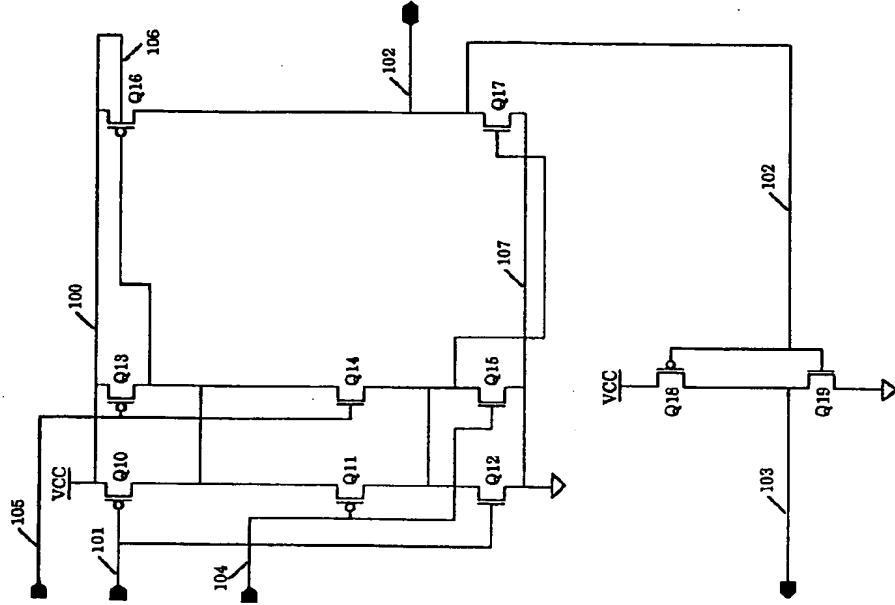
【図4】VCC電源電圧で動作する集積回路がより高いVCC*電圧の戻れの回路またはバスを駆動できるようにする。

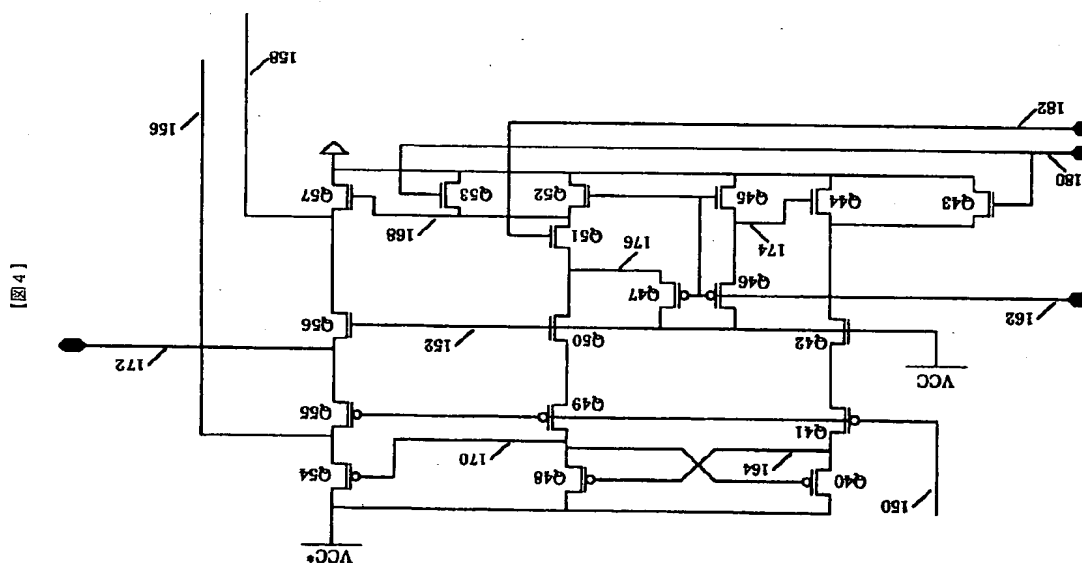
にする電圧インタフェース回路の別の実施例を示す。
【図5】VCC電源電圧で動作する集積回路がより高いVCC*電圧の戻れの回路またはバスを駆動できるようにする電圧インタフェース回路の更に別の実施例を示す。

【符号の説明】

Q21～Q37、Q40～Q70 MOSトランジスタ

【図1】





【图4】

技術表示箇所

14

蔵別記号

(51) Int. Cl. 5
H 03 K 19/003

Н О 3 К 19/003